

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 57-043255  
 (43) Date of publication of application : 11. 03. 1982

(51) Int. CI. G06F 11/30

G06F 15/16

H04L 1/22

H04L 11/00

(21) Application number : 55-117751 (71) Applicant : NEC CORP

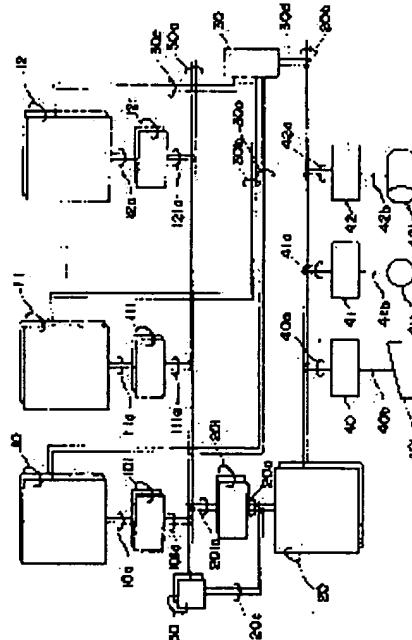
(22) Date of filing : 28. 08. 1980 (72) Inventor : KOBAYASHI HIDEHARU

(54) MULTIPROCESSOR SYSTEM

(57) Abstract:

1 - PURPOSE: To simplify restart processings of a plural number of processors from complicated troubles, by monitoring the condition of the processors from a controlling processor and issuing a restart command after processings of all processors are completed.

CONSTITUTION: Doubled processors 10W12, a controlling processor 20, and a multiprocessor controlling device 30 are installed. This processor 20 operates and controls other processors 10W12 out of a plural number of doubled processors. On the other hand, the processors 10W12 are processors which perform information processing, and when one of the 15-doubled processors is broken down, a processor down signal is delivered and, at the same time, the other processor establishes the normal line. Moreover, the device 30 is provided with a device which is read out by the processor 20, as an external device of the 20-processor 20 and devices which interrupt each processor from the processor 20, and, therefore, the device 30 makes restart processing at the time of troubles.



[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C) ; 1998, 2000 Japan Patent Office

PTO 03-3126

Japan Kokai

Document No. 57-43255

**MULTIPROCESSOR SYSTEM**

(Marutipurosessa Shisutemu)

Hidehara Kobayashi

UNITED STATES PATENT AND TRADEMARK OFFICE

Washington, D. C. May 2003

Translated by: Schreiber Translations, Inc.

Country : Japan  
Document No. : 57-43255  
Document Type : Kokai  
Language : Japanese  
Inventor(s) : Hidehara Kobayashi  
Applicant : NEC Corp.  
IPC : G 06 F 11/30  
15/16  
H 04 L 1/22  
11/00  
Date of Filing : August 28, 1980  
Publication Date : March 11, 1982  
Foreign Language Title : Marutipurosessa Shisutemu  
English Title : MULTIPROCESSOR SYSTEM

SPECIFICATION

I. Title of the Invention

Multiprocessor System

II. Claims

A multiprocessor system, which is a multiprocessor system constituted by providing it with plural duplexed processors and a data transfer unit attached to said processors and performing data transfer among the processors via a bus and is characterized by such a constitution that a control processor for controlling the operation and maintenance of other processors out of the above plural processors is provided, a processor break-down signal is delivered when one duplexed processor of the other processors is broken down and a normal system is established by the other duplexed processor, a means displaying the above processor break-down signal and allowing to read it in the above control processor and a means interrupting the signal from the above control processor into the above processors are provided as the external device of above control processor to perform a restart processing at the time of troubles.

---

<sup>1</sup> Numbers in the margin indicate pagination in the foreign text.

### III. Detailed Description of the Invention

This invention relates to a multiprocessor system which is so constituted as to perform a restart processing at the time of troubles.

Generally, a multiprocessor system means a system form having one control program but plural processors and connecting its processors, main memory unit and input/output unit with a bus. Then, the processors share different functions and make data processing in parallel.

However, a multiprocessor system connecting multiple processors has not been realized because complicated processings of troubles. This invention was made in view of such actual circumstances and is aimed at providing a multiprocessor system which

/2  
simplifies the complicated processings of troubles by a centralized control with a control processor which takes the operation and maintenance controls of other processors and is also applicable to an electronic switching system, etc.

Namely, this invention is a multiprocessor system constituted by providing it with plural duplexed processors and a data transfer unit attached to said processors and performing data transfer among the processors via a bus, and is characterized by such a constitution that

a control processor for controlling the operation and maintenance of other processors out of the above plural processors is provided, a processor break-down signal is delivered when one duplexed processor of the other processors is broken down and a normal system is established by the other duplexed processor, a means displaying the above processor break-down signal and allowing to read it in the above control processor and a means interrupting the signal from the above control processor into the above processors are provided as the external device of above control processor to perform a restart processing at the time of troubles.

This invention will be illustrated based on an actual example shown in drawings below.

Fig. 1 is a conceptual diagram showing one actual example of a multiprocessor system of this invention, and Fig. 2 is a conceptual diagram showing details of multiprocessor control unit and connection relations of said control unit and said processors. In the same diagrams, the multiprocessor system of this invention is constituted by providing it with duplexed processors 10 - 12, a control processor 20 and a multiprocessor control unit 30.

The multiprocessor system is constituted by duplexing the above processors 10 - 12 and the control processor 20,

respectively. The control processor 20 is set up as a processor for the operation and maintenance controls of other processors (the processors 10 - 12 in this actual example) out of the plural duplexed processors. On the other hand, the other processors 10 - 12 are processors making information processings, delivers a processor break-down signal when one duplexed processor is broken down, and a normal system is established by the other duplexed processor.

The above processors 10 - 12 and the control processor 20 are connected to a system bus 50a and perform the transfer of information via data transfer units 101 - 121 and 201 connected to a system bus 50a and connected by signal lines 10a - 12a and 20a. The bus control unit 50 connected to said system bus 50a takes the control of said system bus 50a and is controlled by the control processor 20 via the control signal line 20c. Moreover, input/output control units 40 - 42 and the multiprocessor control unit 30 are connected via an input/output bus 20b. The input/output control units 40 - 42 are connected to the input/output bus 20b via the signal lines 40a - 42a, controlled by the control processor 20 and control the input/output units 401 - 421 via the signal lines 40b - 42b.

The multiprocessor control unit 30 is composed of a control part 301, a processor break-down display register 302

corresponding to each processor and a processor interruption control register 303.

This control part 301 explains a command input via the input/output bus 20b, discriminates a display reading for the processor break-down display register 302 and a processor interruption control for the processor interruption control register 303, and outputs a processor break-down display register read/reset signal 302a or a processor interruption control signal 301a.

The processor break-down display register 302 is set up by processor break-down signals delivered via signal lines 10b - 12b when one of the duplexed processors is broken down. Then, it is reset in accordance with a reset signal from the control processor 20.

The processor interruption control register 303 can set/reset

/3

any one bit or all bits simultaneously in accordance with a processor interruption control signal 301a from the control processor. Processor interruption control signals 303a - 303c being outputs of this processor interruption control register 303 set or reset said one bit of respective interruption reason registers 102 - 122 of said duplexed processors 10 - 12. If the said one bit of said respective interruption reason registers

102 - 122 of duplexed processors 10 - 12 is set, an interruption generates in the program of said processors 10 - 12, and an interruption from the control processor 20 can be judged by the program of said processors 10 - 12.

Moreover, the bit numbers of said processor break-down display register 302 and said processor interruption control register 303 are only the logic maximum numbers of processor pairs in the multiprocessor system. Although not shown in Fig. 2, the processor interruption control registers 303 are plural, accordingly, as a matter of course, the interruption control signals to the processors 10 - 12 are plural per processor, and plural kinds of interruptions from the control processor 20 exist for the processors 10 - 12.

Subsequently, trouble processing actions of the system based on this invention will be illustrated.

A restart procedure of system at the time of troubles comprises the following five parts. First, a trouble notice is given from a trouble processor to the control processor, next, the trouble processor becomes an after-notice stopped state, then, the control processor gives a notice of partial system break-down to other processors, next, the above processor makes a final end report in combination with the above notice of

partial system break-down, and finally the control processor issues a restart command to all the processors.

The above five steps of actions will be described in detail while seeing the drawings below.

A trouble notice is given from a trouble processor to the control processor.

If such a trouble that a processing cannot be made by a soft control generates in each processor, its detection circuit (not shown in Figs. 1 and 2) operates and delivers a processor break-down signal by a bus via the signal lines **10b**, **11b** or **12b**. Simultaneously, a normal system of one duplexed processor is established. If so, a bit corresponding to the trouble-generating processor of processor break-down display register **302** of said multiprocessor control unit **30** is set to 1. On the other hand, the control processor **20** is looped in periodically by a program control via the input/output bus **20b**. "Which processor pair is broken down?" can be known by reading the processor break-down display register **302** according to a bit position where 1 is set.

The trouble processor becomes an after-notice stopped state.

In this action, the trouble processor issues a processor break-down signal to the control processor **20**, then a specific

address of a microprogram of said processor is automatically set up, a normal system of one duplexed processor is established and the control is given to the microprogram. In the microprogram, the entry in this state is noticed to the control processor 20 via the data transfer units 101, 111 or 121 shown in Fig. 1, subsequently it becomes a stopped state (only the microprogram operates in the stopped state on the software) while looping in whether an interruption from the control processor 20 exists.

The control processor 20 gives a notice of partial system break-down to other processors.

Usually, in a load-dispersing system, the processors correlate to each other and the information is communicated with each other via the data transfer units 101 - 121 like this system, therefore it is necessary to know the fact that a processor of a communication partner is broken down. Accordingly,

/4

when the control processor 20 reads out the processor break-down display register 302 and consequently sets 1 to any bit, it delivers an interruption control signal to all other processors but said processor. After the notice, the control processor 20 resets the said bit of the processor break-down display register 302.

The above processor makes a final end report in combination with the above notice of partial system break-down.

The other processors, which a notice of partial system break-down was told, initially set up information relating to the trouble processor in the course of on-line processing, then noted the processing end to the control processor 20 via the data transfer unit 101, 111 or 121.

The control processor issues a restart command to all the processors.

The control processor 20 issues the notice of partial system break-down to the processors, then the processors monitor that the processing end report is told the main memory (not shown in diagrams but included in the processors 10 - 12) of said control processor 20 via a data communication unit by loop-in and the processing end report comes from all the processors, then all bits of said processor interruption control register 303 are set to 1 altogether, and a restart command is delivered simultaneously to all the processors. The transfer of information is started via the data transfer unit 101 - 121 as before by telling the fact that the processors receive this command by interruption and the trouble generating processor is operable in a normal system.

As described above, this invention can control the whole system in a lump and has an effect of simplifying the restart processing from a complicated trouble of multiprocessors by taking such a constitution that the state of plural processors is monitored by the control processor, a notice is given to other processors if abnormality exists in even one processor, after the processing of all the processors is completed, the control processor issues a restart command to all the processors together.

#### IV. Brief Description of the Drawings

Fig. 1 is conceptual diagram showing one actual example of multiprocessor system of this invention, Fig. 2 is conceptual diagram showing details of multiprocessor control unit used in above actual example and connection relations of said control unit and processors.

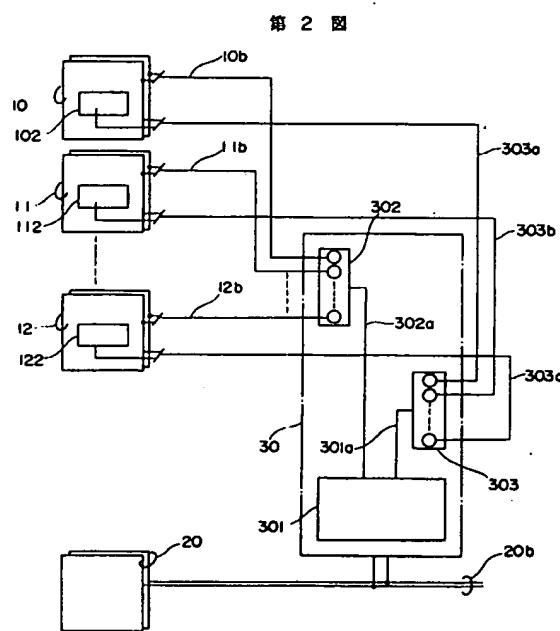
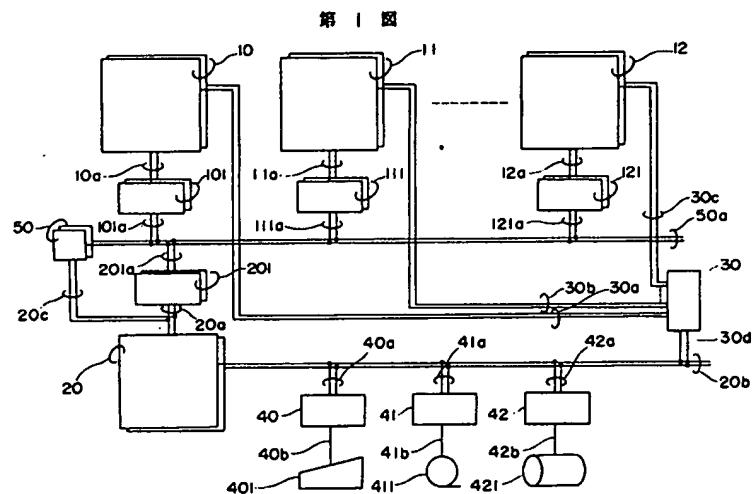
10 - 12 ... processors  
20 ... control processor  
30 ... multiprocessor control unit  
40 - 42 ... input/output control units  
50 ... bus control unit  
101 - 121, 201 ... data transfer units  
102 - 122 ... interruption reason registers

301 ... control part

302 ... processor break-down display register

303 ... processor interruption control register

/5



*Searching by Document Number*

\*\* Result [Patent] \*\* Format(P801) 25.Apr.2003 1/ 1

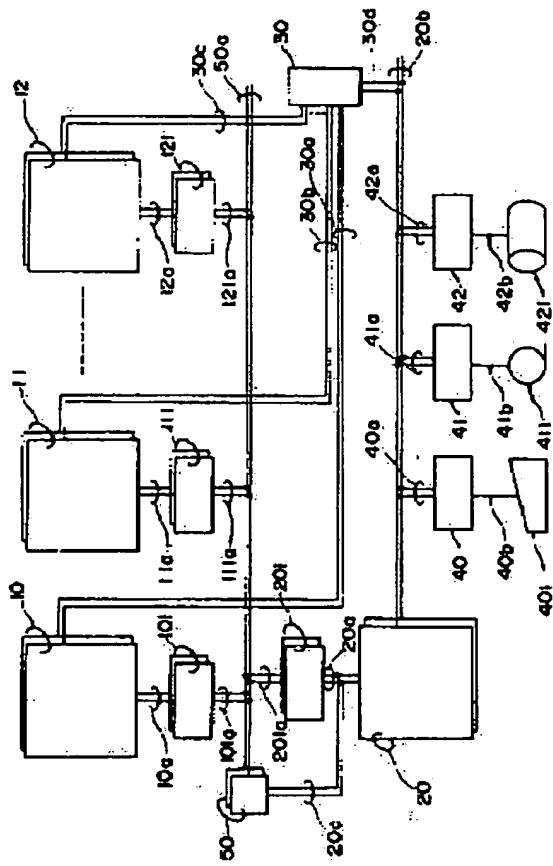
Application no/date: 1980-117751[1980/08/28]  
Date of request for examination: [1985/01/10]  
Public disclosure no/date: 1982- 43255[1982/03/11]  
Examined publication no/date (old law): 1987- 2335[1987/01/19]  
Registration no/date: 1397735[1987/09/07]  
Examined publication date (present law): [ ]  
PCT application no  
PCT publication no/date [ ]  
Applicant: NEC CORP  
Inventor: KOBAYASHI HIDEHARU  
IPC: G06F 11/20 ,310 G06F 15/16 H04L 1/22  
FI: H04L 1/22 G06F 11/16 ,310B G06F 11/16 ,310E  
G06F 11/18 ,310A G06F 11/20 ,310E G06F 15/16 ,470R H04L 11/00 ,321  
G06F 1/04 ,302Z G06F 15/177 ,678F  
F-term: 5K014AA05,CA02,EA00,FA00,FA01,FA09,5B034AA01,BB02,CC01,CC05,CC06,  
DD04,DD05,DD07,5K032AA06,BA05,BA15,CB06,DA01,DB22,EA03,EB03,EB06,5B045AA06,  
BB12,FF03,GG06,JJ02,JJ26,JJ42,JJ48,5B079AA06  
Expanded classification: 451,442,443,454  
Fixed keyword:  
Citation:  
Title of invention: MULTIPROCESSOR SYSTEM

Abstract:

PURPOSE: To simplify restart processings of a plural number of processors from complicated troubles, by monitoring the condition of the processors from a controlling processor and issuing a restart command after process of all processors are completed.

CONSTITUTION: Doubled processors 10W12, a controlling processor 20, and a multiprocessor controlling device 30 are installed. This processor 20 operates and controls other processors 10W12 out of a plural number of doubled processors. On the other hand, the processors 10W12 are processors which perform information processing, and when one of the doubled processors is broken down, a processor down signal is delivered and, at the same time, the other processor establishes the normal line. Moreover, the device 30 is provided with a device which is read out by the processor 20, as an external device of the processor 20 and devices which interrupt each processor from the processor 20, and, therefore, the device 30 makes restart processing at the time of troubles.

COPYRIGHT: (C)1982,JPO&Japio



⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-43255

⑬ Int. Cl.<sup>3</sup>  
 G 06 F 11/30  
 15/16  
 H 04 L 1/22  
 11/00

識別記号

厅内整理番号  
 7368-5B  
 7165-5B  
 6651-5K  
 7230-5K

⑭ 公開 昭和57年(1982)3月11日  
 発明の数 1  
 番査請求 未請求

(全 5 頁)

⑯ マルチプロセッサシステム

東京都港区芝五丁目33番1号  
本電気株式会社内

⑯ 特願 昭55-117751

⑯ 出願人 日本電気株式会社

⑯ 出願 昭55(1980)8月28日

東京都港区芝5丁目33番1号

⑯ 発明者 小林英晴

⑯ 代理人 弁理士 村田幹雄

## 明細書

## 1. 発明の名称

マルチプロセッサシステム

## 2. 特許請求の範囲

複数の二重化されたプロセッサと、該各プロセッサに付属し、バスを介してプロセッサ間のデータ転送を行なうデータ転送装置とを備えて構成されるマルチプロセッサシステムであつて、

上記複数のプロセッサの中から他のプロセッサの運転・保守を管理する管理プロセッサを設けると共に、他の各プロセッサについて、二重化された一方がダウンした時、プロセッサダウン信号を送出すると共に、二重化された他方により正常系を確立するよう構成し、且つ、上記管理プロセッサの外部装置として、上記プロセッサダウン信号を表示して上記管理プロセッサに読み取らしめる手段と、上記管理プロセッサから上記各プロセッサに制込ませる手段とを備えて、障害時の再開処

理を行なうよう構成したことを特徴とするマルチプロセッサシステム。

## 3. 発明の詳細な説明

本発明は、管理プロセッサにより障害時の再開処理を行なうよう構成したマルチプロセッサシステムに関する。

一般に、マルチプロセッサシステムは、制御プログラムは一つであるが、複数のプロセッサを持ち、プロセッサ、主記憶装置、入出力装置が、一つのバスで接続されているシステム形式をいう。そして、各プロセッサが異なる機能を分担し、並列してデータ処理を行なう。

しかし、従来、電子交換システムにおいては、障害処理が複雑なため、多数のプロセッサを接続してのマルチプロセッサシステムは実現されていない。

本発明は、斯かる実情に鑑みてなされたもので、複雑な障害処理を、他のプロセッサの運転・保守

の再開処理を行なうよう構成したものである。

以下、本発明を図面に示す実施例に基づいて説明する。

管理を行なう管理プロセッサにより集中管理することにより簡単化した、電子交換システム等にも通用し得るマルチプロセッサシステムを提供することを目的とする。

即ち、本発明は、複数の二重化されたプロセッサと、該各プロセッサに付属し、バスを介してプロセッサ間のデータ転送を行なうデータ転送装置とを備えて構成されるマルチプロセッサシステムであつて、上記複数のプロセッサの中から他のプロセッサの運転・保守を管理する管理プロセッサを設けると共に、他の各プロセッサについては、二重化された一方がダウンした時、プロセッサダウン信号を送出すると共に、二重化された他方により正常系を確立するよう構成し、且つ、上記管理プロセッサの外部装置として、上記プロセッサダウン信号を表示して上記管理プロセッサに読み取らしめる手段と、上記管理プロセッサから上記各プロセッサに割込ませる手段とを備えて、障害時

つて、二重化された一方がダウンした時、プロセッサダウン信号を送出すると共に、二重化された他方により正常系を確立するよう構成される。

上記プロセッサ10～12と管理プロセッサ20とは、システムバス50aにて接続され、信号線10a～12aと20aにて各々接続されたデータ転送装置101～121、201を介して情報の転送を行なう。該システムバス50aに接続されているバス制御装置50は、システムバス50aの制御を行ない、制御信号線20cを介して管理プロセッサ20により制御される。又、管理プロセッサ20には、出入力バス20bを介して入出力制御装置40～42及びマルチプロセッサ制御装置30が接続される。入出力制御装置40～42は、出入力バス20bとは信号線40a～42aを介して接続され、管理プロセッサ20に制御されて、信号線40b～42bを介して入出力装置401～421を制御している。

上記マルチプロセッサ制御装置30は、制御部

第1図は本発明マルチプロセッサシステムの一実施例を示す概念図であり、第2図は上記実施例に使用されるマルチプロセッサ制御装置の詳細、及び、該制御装置と各プロセッサとの接続関係とを示す概念図である。同図において本発明マルチプロセッサシステムは、二重化されたプロセッサ10～12と、管理プロセッサ20と、マルチプロセッサ制御装置30とを備えて構成される。

上記プロセッサ10～12及び管理プロセッサ20は、各々二重化されて構成されている。管理プロセッサ20は、複数の二重化されたプロセッサの中から、他のプロセッサ(この実施例ではプロセッサ10～12)を運転・保守管理するプロセッサとして設定される。一方、他のプロセッサ10～12は、情報処理を行なうプロセッサであ

301と、各プロセッサに対応するプロセッサダウン表示レジスタ302と、各プロセッサ割込制御レジスタ303とから構成されている。

この制御部301は、上記管理プロセッサ20から、入出力バス20bを介して入力した命令を解釈して、プロセッサダウン表示レジスタ302に対する表示読み取りと、各プロセッサ割込制御レジスタ303に対するプロセッサ割込制御とを判別し、各々に対応してプロセッサダウン表示レジスタ読み取り及びリセット信号302a、又はプロセッサ割込制御信号301aを出力する。

プロセッサダウン表示レジスタ302は、二重化されたプロセッサの一方がダウンした時に、信号線10b～12bを介して送出されるプロセッサダウン信号によつてセットされる。そして、管理プロセッサ20からのリセット信号により、リセットされる。

プロセッサ割込制御レジスタ303は、管

セッサからのプロセッサ割込制御信号 301a によつて、任意の 1 ピット又はすべてのピットを同時にセット・リセット可能である。このプロセッサ割込制御レジスタ 303 の出力であるプロセッサ割込制御信号 303a ~ 303c は、二重化されたプロセッサ 10 ~ 12 各々の割込原因レジスタ 102 ~ 122 の該当する 1 ピットを、セット又はリセットする。割込原因レジスタ 102 ~ 122 の該当する 1 ピットがセットされると、プロセッサ 10 ~ 12 内のプログラムに割込が発生し、管理プロセッサ 20 からの割込であることがプロセッサ 10 ~ 12 のプログラムに判断出来る。

なお、プロセッサダウン表示レジスタ 302 及びプロセッサ割込制御レジスタ 303 のピット数は、マルチプロセッサシステムにおける論理的最大プロセッサ対数だけある。又、第 2 図に示していないが、プロセッサ割込制御レジスタ 303 は複数個あり、従つて、各プロセッサ 10 ~ 12 への割込

通知。

各プロセッサは、ソフト制御では処理することが出来ない障害が発生すると、その検出回路(第 1, 2 図には示していない)が動作し、プロセッサダウン信号を信号線 10b, 11b 又は 12b を介してバスで送出する。と同時に、二重化された一方の正常系が確立される。すると、マルチプロセッサ制御装置 30 のプロセッサダウン表示レジスタ 302 の障害発生プロセッサに対応するピットが、1 にセットされる。一方、管理プロセッサ 20 は、周期的にプログラム制御にて、このプロセッサダウン表示レジスタ 302 を入出力バス 20b を介してルックインしている。プロセッサダウン表示レジスタ 302 を読み込んで、1 がセットされているピット位置により、どのプロセッサ対が障害によりダウンしたかを知ることが出来る。

(2) 障害プロセッサは障害通知後停止状態になる。この動作は、障害プロセッサが、管理プロセッ

サ 20 から、各プロセッサ 10 ~ 12 に対して、複数の種類の割込が存在することは言うまでもない。

次に本発明によるシステムの障害処理動作について説明する。

システムの障害時の再開手順は、次の 5 つの部分から成る。先ず、①障害プロセッサから管理プロセッサに対し障害通知を行ない、次に、②障害プロセッサは通知後停止状態になり、ついで、③管理プロセッサは他のプロセッサへ部分システムダウン通知を行い、更に、④上記プロセッサは上記部分システムダウン通知に併し処理終了報告を行ない、最後に、⑤管理プロセッサは全プロセッサに対して再開指令を出す。

以下に、上記 5 段階の動作について、図面を参照しながら詳述する。

① 障害プロセッサから管理プロセッサへの障害

サ 20 にプロセッサダウン信号を出した後、自動的に該プロセッサのマイクロプログラムの特定アドレスを設定し、二重化された一方の正常系を確立し、マイクロプログラムに制御を渡す。マイクロプログラムでは、この状態に入った事を、第 1 図に示すデータ伝送装置 101, 111 又は 121 を介して管理プロセッサ 20 に通知し、その後、管理プロセッサ 20 から割込が有るか否かをルックインしながら停止状態(ソフト上は停止状態で、マイクロプログラムのみ動作している。)になつている。

② 管理プロセッサは他のプロセッサへ部分システムダウン通知を行う。

通常、負荷分散システムでは、各プロセッサが互に関連し、本システムの如く、データ伝送装置 101 ~ 121 を介して互に情報の通信を行なつてゐるので、通信相手のプロセッサがダウンした場合は、その事実を知る必要がある。そこで管理プロ

セツサ20は、プロセツサダウン表示レジスタ302を読出した結果、いずれかのビットに1がセットされている場合は、該当プロセツサ以外に割込制御信号を送出して、他のプロセツサに割込を発生させて部分システムダウンを通知する。通知後、管理プロセツサ20は、プロセツサダウン表示レジスタ302の該当ビットを、リセットしておく。

④ プロセツサは部分システムダウン通知に併う処理後終了報告を行なう。

部分システムダウン通知を割込によつて知らされた他のプロセツサは、オンライン処理のあい間に、障害プロセツサに関する情報を初期設定した後、処理終了した旨を、データ転送装置101、111又は121を介して管理プロセツサ20に通知する。

⑤ 管理プロセツサは全プロセツサに対して再開指令を出す。

管理プロセツサ20は、各プロセツサに部分シ

ステムダウン通知を出した様、各プロセツサがその処理終了報告をデータ通信装置を介して管理プロセツサ20の主記憶装置(図に示していない、プロセツサ10~12の中に含まれる。)に知らせてくるのを、ルツクインで監視し、全プロセツサから処理終了報告がきた後、プロセツサ割込制御レジスタ303の全ビットを一齊に1にセットして、全プロセツサに対して同時に再開指令を送出する。この指令を、各プロセツサは割込により受け、障害発生プロセツサが正常系で動作可能などを知り、従来通り、データ転送装置101~121を介して情報の転送を開始する。

以上説明したように、本発明は、管理プロセツサより複数のプロセツサの状態を監視し、1個でもプロセツサに異常があれば他のプロセツサに割込で通知し、全プロセツサが処理完了後、管理プロセツサが再開指令を全プロセツサに一齊に出すよう構成したことにより、システム全体を一括管

理でき、マルチプロセツサの複雑な障害からの再開処理を簡明化する効果がある。

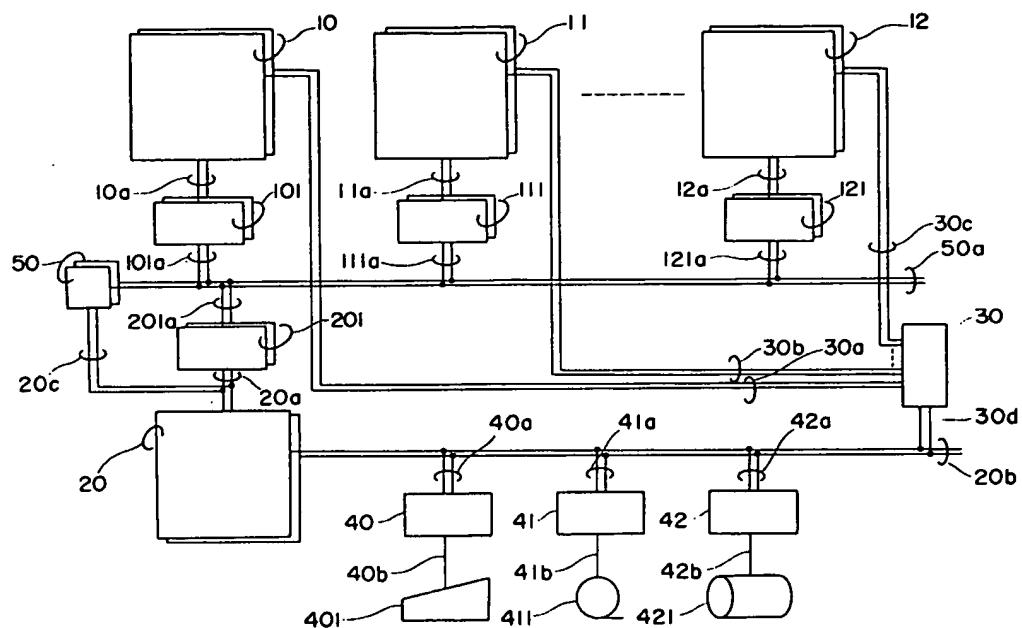
#### 4. 図面の簡単な説明

第1図は本発明マルチプロセツサシステムの一実施例を示す概念図であり、第2図は上記実施例に使用されるマルチプロセツサ制御装置の詳細、及び、該制御装置と各プロセツサとの接続関係とを示す概念図である。

10~12 … プロセツサ 20 … 管理プロセツサ  
 30 … マルチプロセツサ制御装置  
 40~42 … 入出力制御装置 50 … バス制御装置  
 101~121, 201 … データ転送装置  
 102~122 … 割込原因レジスタ 301 … 制御部  
 302 … プロセツサダウン表示レジスタ  
 303 … プロセツサ割込制御レジスタ

出願人 日本電気株式会社

第一図



第二図

